



(19)

(11) Publication number: 10161769 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 08336445

(51) Intl. Cl.: G06F 1/10 H01L 21/82 H01L 27/04 H01L 21/822 H03K 5/00 H03K 5/135 H03L 7/06

(22) Application date: 02.12.96

(30) Priority:

(43) Date of application publication: 19.06.98

(84) Designated contracting states:

(71) Applicant: HITACHI LTD

(72) Inventor: INAGAKI MITSUYA

(74) Representative:

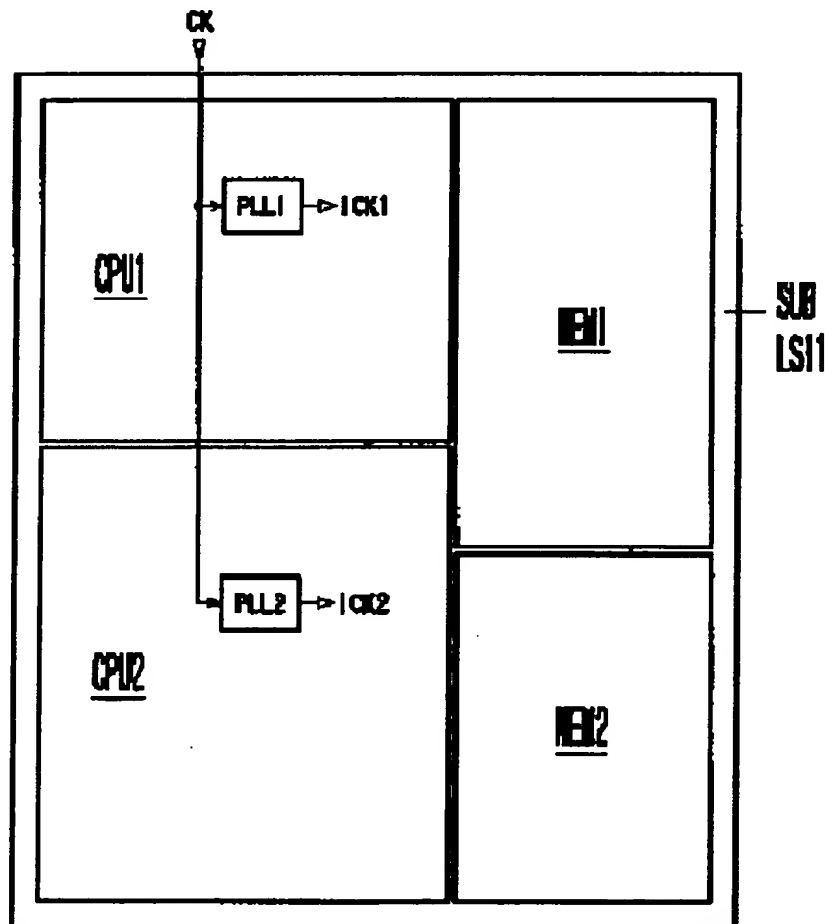
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To accelerate the machine cycle of a large-scale logical integrated circuit device, etc., by suppressing a clock skew between plural modules of respectively different clock transmission routes so as to accelerate the operation of the large-scale logical integrated circuit device, etc., mounting the plural modules.

SOLUTION: This semiconductor device LS11 mounts the plural modules such as CPU modules CPU 1, CPU 2, etc., formed on a common semiconductor substrate SUB and is synchronously operated according to a common basic clock signal CK. In this case each modules are respectively provided with PLL circuits PLL 1 and PLL 2 receiving the basic clock signal CK, forming prescribed internal clock signals ICK 1 and ICK 2 and supplying them for corresponding internal circuit.

COPYRIGHT: (C)1998,JPO



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-161769

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.⁶

識別記号

F I

G 0 6 F 1/10

G 0 6 F 1/04

3 3 0 A

H 0 1 L 21/82

H 0 3 K 5/135

27/04

H 0 1 L 21/82

B

21/822

27/04

A

H 0 3 K 5/00

H 0 3 K 5/00

V

審査請求 未請求 請求項の数 4 F D (全 7 頁) 最終頁に続く

(21) 出願番号

特願平8-336445

(22) 出願日

平成 8 年(1996)12月 2 日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 稲垣 光也

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 徳若 光政

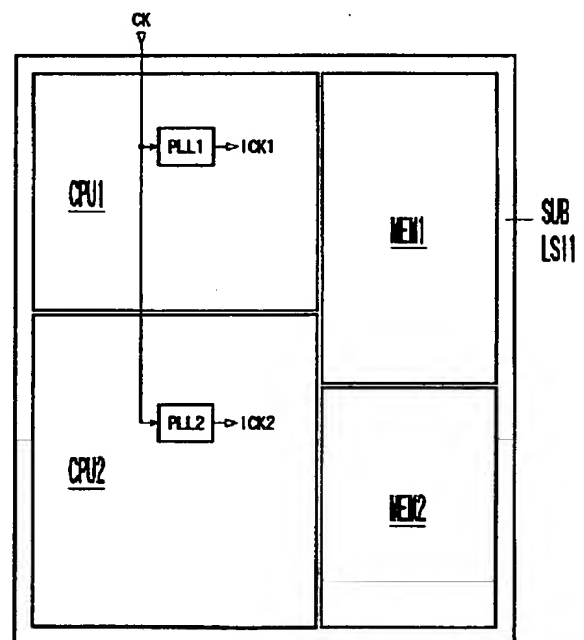
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 クロック伝達経路がそれぞれ異なる複数のモジュール間のクロックスキューを抑制する。これにより、複数のモジュールを搭載する大規模論理集積回路装置等の動作を高速化し、そのマシンサイクルを高速化する。

【解決手段】 共通の半導体基板 SUB 上に形成され、共通の基本クロック信号 CK に従って同期動作する CPU モジュール CPU1 及び CPU2 等の複数のモジュールを搭載する大規模論理集積回路装置 LSI1 等の半導体装置において、各モジュールごとに、基本クロック信号 CK を受けて所定の内部クロック信号 ICK1 及び ICK2 を形成し対応する内部回路に供給する PLL 回路 PLL1 及び PLL2 をそれぞれ設ける。

図 1 大規模論理集積回路装置の基板配置



【特許請求の範囲】

【請求項1】 共通の半導体基板上に形成され、共通の基本クロック信号に従って同期動作し、かつそれぞれが上記基本クロック信号を受けて所定の内部クロック信号を形成し対応する内部回路に供給するPLL回路を含む複数のモジュールを具備することを特徴とする半導体装置。

【請求項2】 請求項1において、上記複数のモジュールに設けられるPLL回路のそれぞれは、その一方の入力端子に供給される実質的な上記基本クロック信号の位相と、その他方の入力端子に供給される所定の内部ノードにおける上記内部クロック信号の位相とを一致させるべく動作するものであることを特徴とする半導体装置。

【請求項3】 請求項1又は請求項2において、上記モジュールのそれぞれは、実質的な上記内部クロック信号に従って状態遷移されるフリップフロップを含むものであって、上記PLL回路の他方の入力端子に供給される上記内部クロック信号は、所定の上記フリップフロップのクロック入力端子におけるものであることを特徴とする半導体装置。

【請求項4】 請求項1、請求項2又は請求項3において、上記モジュールのそれぞれは、その内部における上記内部クロック信号の伝達経路がそれぞれ異なるCPUモジュールであって、上記半導体装置は、複数の上記CPUモジュールを具備する大規模論理集積回路装置であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置に関し、例えば、クロック伝達経路の異なる複数のCPU（中央処理装置）モジュールを搭載する大規模論理集積回路装置ならびにそのマシンサイクルの高速化に利用して特に有効な技術に関する。

【0002】

【従来の技術】 Pチャンネル及びNチャンネルMOSFET（金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）が組み合わされてなるいわゆるCMOS（相補型MOS）論理ゲートがある。また、各種のCMOS論理ゲートが組み合わされてなるCPU等の論理ブロックがあり、個別に設計された各種の論理ブロックをモジュールとして搭載する大規模論理集積回路装置等の半導体装置がある。

【0003】 一方、基準となるクロック信号に位相同期された内部クロック信号を形成するPLL（フェーズロックドループ）回路があり、このようなPLL回路を用いて複数装置間のクロック信号の位相同期をとる方法が

知られている。

【0004】

【発明が解決しようとする課題】 本願発明者等は、この発明に先立って、その内部におけるクロック伝達経路がそれぞれ異なる複数のCPUモジュールを搭載する大規模論理集積回路装置を開発しようとして次の問題点に直面した。すなわち、この大規模論理集積回路装置LSI2は、図4に例示されるように、例えばいわゆるRISC（縮小命令セットコンピュータ）型のCPUモジュールCPU3と、いわゆるCISC（複合命令セットコンピュータ）型のCPUモジュールCPU4とを搭載し、両CPUモジュールは、所定の外部端子からクロックバッファBCK2を介して供給される共通の基本クロック信号CKに従って同期動作する。

【0005】 ここで、CPUモジュールCPU3は、シーケンス制御の中心となるフリップフロップFF31～FF32を含み、これらのフリップフロップのクロック入力端子には、2段のクロックバッファB31ならびにB321及びB322を介して基本クロック信号CKつまり内部クロック信号ICK321及びICK322が供給される。また、CPUモジュールCPU4は、同様にシーケンス制御の中心となるフリップフロップFF41及びFF42を含み、これらのフリップフロップのクロック入力端子には、3段のクロックバッファB41、B421及びB422ならびにB431及びB432を介して基本クロック信号CKつまり内部クロック信号ICK431及びICK432が供給される。

【0006】 言い換えるならば、CPUモジュールCPU3及びCPU4は、その論理構成が異なりクロック伝達経路が異なることで、図6に例示されるように、フリップフロップFF31及びFF32ならびにFF41及びFF42のクロック入力端子における内部クロック信号ICK321及びICK322ならびにICK431及びICK432の位相がクロックバッファの段数分つまり時間t27だけ異なり、いわゆるスキューを有する。この結果、両CPUモジュール間の特にシーケンス制御に重要なフリップフロップの動作時間にずれが生じ、これによって大規模論理集積回路装置LSI2のマシンサイクルが制約を受ける。

【0007】 一方、複数の大規模論理集積回路装置を含む従来のデジタルシステムでは、各大規模論理集積回路装置に供給されるクロック信号の位相同期を図るため、図5に例示されるように、各大規模論理集積回路装置LSI3ごとに1個のPLL回路PLL3を設ける方法が採られる。しかし、この方法を採用した場合、図7に例示されるように、基本クロック信号CKとCPUモジュールCPU5のフリップフロップFF51及びFF52のクロック入力端子における内部クロック信号ICK521及びICK522との間のスキューはなくなるが、これらの内部クロック信号とCPUモジュールCPU6の

フリップフロップFF61及びFF62のクロック入力端子における内部クロック信号ICK631及びICK632との間のスキューt54は依然存在し、前記問題は解決されない。

【0008】この発明の目的は、共通の半導体基板上に形成され、共通の基本クロック信号に従って同期動作し、かつそのクロック伝達経路が異なる複数のモジュール間のクロックスキューを抑制し、これらのモジュールを搭載する大規模論理集積回路装置等のマシンサイクルを高速化することにある。

【0009】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、共通の半導体基板上に形成され、共通の基本クロック信号に従って同期動作し、かつそのクロック伝達経路がそれぞれ異なる複数のモジュールを搭載する大規模論理集積回路装置等の半導体装置において、各モジュールごとに、基本クロック信号を受けて所定の内部クロック信号を形成し対応する内部回路に供給するPLL回路をそれぞれ設ける。

【0011】上記した手段によれば、各モジュールの例えばシーケンス制御の中心となるフリップフロップ等のクロック入力端子における内部クロック信号の位相を一致させ、そのクロックスキューを抑制することができるため、クロック伝達経路がそれぞれ異なる複数のモジュールを搭載する大規模論理集積回路装置等の動作を高速化し、そのマシンサイクルを高速化することができる。

【0012】

【発明の実施の形態】図1には、この発明が適用された大規模論理集積回路装置LSI1の一実施例の基板配置図が示されている。また、図2には、図1の大規模論理集積回路装置LSI1に搭載されるCPUモジュールCPU1及びCPU2の一実施例の部分的なブロック図が示され、図3には、これらのCPUモジュールの一実施例の信号波形図が示されている。これらの図をもとに、この実施例の大規模論理集積回路装置LSI1ならびにCPUモジュールCPU1及びCPU2の構成及び動作の概要とその特徴について説明する。なお、基板配置に関する以下の説明では、図1の位置関係をもって半導体基板上における上下左右を表す。

【0013】図1において、この実施例の大規模論理集積回路装置LSI1は、単結晶シリコンからなる半導体基板SUBをその基体とする。特に制限されないが、半導体基板SUBの左上部には、例えばRISC型の比較的小規模のCPUモジュールCPU1が配置され、その左下部には、例えばCISC型の比較的大規模のCPUモジュールCPU2が配置される。CPUモジュールC

PU1の右側には、例えばスタティックRAM（ランダムアクセスメモリ）等の書き換え可能な半導体メモリからなるメモリ部MEM1が配置され、CPUモジュールCPU2の右側には、マスクROM（リードオンリメモリ）等の読み出し専用メモリからなるメモリ部MEM2が配置される。

【0014】この実施例において、CPUモジュールCPU1及びCPU2は、共通の基本クロック信号CKに従って同期動作し、メモリ部MEM1及びMEM2とともに一つの論理演算装置を構成する。また、この実施例では、CPUモジュールCPU1及びCPU2のそれぞれにPLL回路PLL1及びPLL2が設けられ、所定の外部端子を介して入力される基本クロック信号CKは、これらのPLL回路を経た後、内部クロック信号ICK1又はICK2となって対応するCPUモジュールCPU1又はCPU2の内部回路にそれぞれ供給される。

【0015】ここで、CPUモジュールCPU1は、図2に示されるように、シーケンス制御の中心となるフリップフロップFF11及びFF12を含み、これらのフリップフロップのクロック入力端子には、2段のクロックバッファB11ならびにB121及びB122を介して、PLL回路PLL1の出力信号たる内部クロック信号ICK1つまりは内部クロック信号ICK121及びICK122が供給される。なお、CPUモジュールCPU1は、フリップフロップFF11及びFF12に加えて、同様な内部クロック信号の分配を受ける多数のフリップフロップを搭載する。また、クロックバッファB121及びB122は同一サイズで形成され、クロックバッファB11ならびにB121及びB122からなるクロック伝達経路の内部クロック信号ICK1に対する遅延時間t11は、図3に示されるように、ほぼ同じ値とされる。したがって、フリップフロップFF11及びFF12のクロック入力端子における内部クロック信号ICK121及びICK122間のクロックスキューは、無視できる程度に小さなものとなる。

【0016】PLL回路PLL1の一方の入力端子には、クロックバッファBCK11を介して基本クロック信号CKが供給され、その他方の入力端子には、クロックバッファBCK12を介してフリップフロップFF12のクロック入力端子における内部クロック信号ICK122がフィードバックされる。なお、クロックバッファBCK11及びBCK12は、同一サイズで形成され、その基本クロック信号CK及び内部クロック信号ICK122に対する遅延時間は同一値とされる。また、PLL回路PLL1は、周知のように、クロックバッファBCK11を介してその一方の入力端子に供給される基本クロック信号CKの位相と、クロックバッファBCK12を介してその他方の入力端子に供給される内部クロック信号ICK122の位相を一致させるべく動作す

る。これにより、基本クロック信号CKと内部クロック信号ICK121及びICK122との間の位相差 t_{12} は、図3に示されるようにゼロとなり、位相同期された形となる。

【0017】次に、CPUモジュールCPU2は、シーケンス制御の中心となるフリップフロップFF21及びFF22を含み、これらのフリップフロップのクロック入力端子には、3段のクロックバッファB21、B22及びB222ならびにB231及びB232を介して、PLL回路PLL2の出力信号たる内部クロック信号ICK2つまりは内部クロック信号ICK231及びICK232が供給される。なお、CPUモジュールCPU2は、フリップフロップFF21及びFF22に加えて、同様な内部クロック信号の分配を受ける図示されない多数のフリップフロップを搭載する。また、クロックバッファB221及びB222ならびにB231及びB232は、それぞれ同一サイズで形成され、クロックバッファB21、B221及びB222ならびにB231及びB232からなるクロック伝達経路の内部クロック信号ICK2に対する遅延時間 t_{13} は、図3に示されるように、ほぼ同じ値とされる。したがって、フリップフロップFF21及びFF22のクロック入力端子における内部クロック信号ICK231及びICK232間のクロックスキューは、無視できる程度に小さいものとなる。

【0018】PLL回路PLL2の一方の入力端子には、前記クロックバッファBCK11を介して基本クロック信号CKが供給され、その他方の入力端子には、クロックバッファBCK13を介してフリップフロップFF22のクロック入力端子における内部クロック信号ICK232がフィードバックされる。なお、クロックバッファBCK11及びBCK13は同一サイズで形成され、その基本クロック信号CK及び内部クロック信号ICK232に対する遅延時間は同一値とされる。また、PLL回路PLL2は、周知のように、クロックバッファBCK11を介してその一方の入力端子に供給される基本クロック信号CKの位相と、クロックバッファBCK13を介してその他方の入力端子に供給される内部クロック信号ICK232の位相とを一致させるべく動作する。これにより、基本クロック信号CKと内部クロック信号ICK231及びICK232との間の位相差 t_{14} は、図3に示されるようにゼロとなり、位相同期された形となる。

【0019】前述のように、基本クロック信号CKは、CPUモジュールCPU1のフリップフロップFF11及びFF12のクロック入力端子に供給される内部クロック信号ICK121及びICK122と位相同期される。したがって、これらの内部クロック信号は、内部クロック信号ICK231及びICK232と位相同期された形となり、これによってフリップフロップFF11

及びFF12ならびにFF21及びFF22の状態遷移が同期化され、CPUモジュールCPU1及びCPU2のシーケンス制御が同期化される。この結果、CPUモジュールCPU1及びCPU2を搭載する大規模論理集積回路装置LSI1の動作を高速化し、そのマシンスイクルを高速化することができるものである。

【0020】以上の実施例から得られる作用効果は、下記の通りである。すなわち、(1) 共通の半導体基板上に形成され、共通の基本クロック信号に従って同期動作し、かつそのクロック伝達経路がそれぞれ異なる複数のモジュールを搭載する大規模論理集積回路装置等の半導体装置において、各モジュールごとに、基本クロック信号を受けて所定の内部クロック信号を形成し対応する内部回路に供給するPLL回路をそれぞれ設けることで、各モジュールの例えばシーケンス制御の中心とするフリップフロップ等のクロック入力端子における内部クロック信号の位相を一致させることができるという効果が得られる。(2) 上記(1)項により、複数のモジュールにおける内部クロック信号のクロックスキューを抑制することができるという効果が得られる。(3) 上記

(1)項及び(2)項により、クロック伝達経路がそれぞれ異なる複数のモジュールを搭載する大規模論理集積回路装置等の動作を高速化し、そのマシンスイクルを高速化することができるという効果が得られる。

【0021】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、大規模論理集積回路装置LSI1は、半導体基板SUB上に3個以上のCPUモジュールを搭載できるし、メモリモジュールを除く他の各種のモジュールを同時に搭載することもできる。大規模論理集積回路装置LSI1のブロック構成や半導体基板SUBの形状ならびにレイアウト等は、種々の実施形態を採りうる。

【0022】図2において、CPUモジュールCPU1及びCPU2に含まれるフリップフロップの数及び種類等は、任意に設定できるし、各CPUモジュールのクロック伝達経路を含む各部の具体的構成も同様である。図3において、基本クロック信号CK及び各内部クロック信号の信号波形ならびにその時間関係は、ほんの一例であって、本発明に制約を与えるものではない。この実施例では、PLL回路PLL1又はPLL2により、基本クロック信号CKの位相とフリップフロップFF11及びFF12ならびにFF21及びFF22のクロック入力端子における内部クロック信号の位相とを同期化することで、CPUモジュールCPU1及びCPU2の動作を同期化しているが、例えば、基本クロック信号CKの位相とCPUモジュールCPU1及びCPU2の図示されない出力信号の位相とを同期化することにより、両モ

ジュールの動作を同期化してもよい。

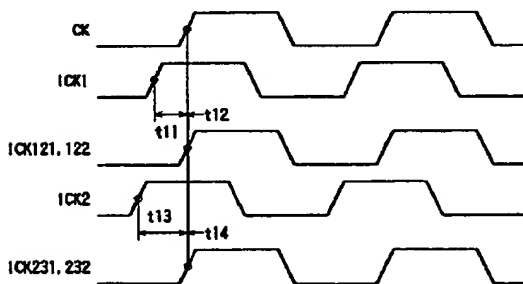
【0023】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるCPUモジュールならびに複数のCPUモジュールを搭載する大規模論理集積回路装置に適用した場合について説明したが、それに限定されるものではなく、例えば、CPU以外の各種モジュールや複数のモジュールを搭載する各種集積回路装置にも適用できる。この発明は、少なくとも、共通の半導体基板上に形成され、共通の基本クロック信号に従って同期動作し、かつそのクロック伝達経路がそれぞれ異なる複数のモジュールを搭載する半導体装置ならびにこのような半導体装置を含む装置又はシステムに広く適用できる。

【0024】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、共通の半導体基板上に形成され、共通の基本クロック信号に従って同期動作し、かつそのクロック伝達経路がそれぞれ異なる複数のモジュールを搭載する大規模論理集積回路装置等において、各モジュールごとに、基本クロック信号を受けて所定の内部クロック信号を形成し対応する内部回路に供給するPLL回路をそれぞれ設けることで、各モジュールの例えばシーケンス制御の中心となるフリップフロップのクロック入力端子における内部クロック信号の位相を一致させ、そのクロックスキューを抑制することができるため、複数のモジュールを搭載する大規模論理集積回路装置等の動作を高速化し、そのマシンサイクルを高速化することができる。

【図3】

図3 CPUモジュールの信号波形



【図面の簡単な説明】

【図1】この発明が適用された大規模論理集積回路装置の一実施例を示す基板配置図である。

【図2】図1の大規模論理集積回路装置に含まれるCPUモジュールの一実施例を示す部分的なブロック図である。

【図3】図2のCPUモジュールの一実施例を示す信号波形図である。

【図4】この発明に先立って本願発明者等が開発した大規模論理集積回路装置に含まれるCPUモジュールの一例を示す部分的なブロック図である。

【図5】この発明に先立って本願発明者等が開発した大規模論理集積回路装置に含まれるCPUモジュールの他の一例を示す部分的なブロック図である。

【図6】図4のCPUモジュールの一例を示す信号波形図である。

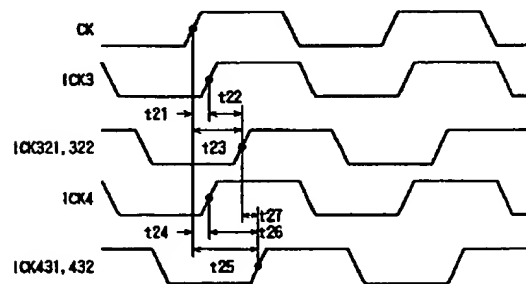
【図7】図5のCPUモジュールの一例を示す信号波形図である。

【符号の説明】

LSI1～LSI3……大規模論理集積回路装置、SUB……半導体基板、CPU1～CPU6……CPU（中央処理装置）モジュール、MEM1～MEM2……メモリモジュール、PLL1～PLL3……PLL回路、CK……基本クロック信号、ICK1～ICK6……内部クロック信号、BCK11～BCK13, BCK2～BCK3, B11～B61, B121～B632……クロックバッファ、FF11～FF62……フリップフロップ、ICK11～ICK61, ICK121～ICK632……内部クロック信号。

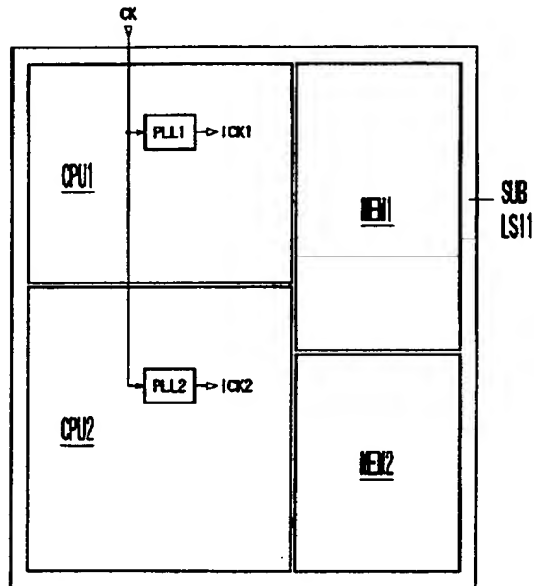
【図6】

図6 CPUモジュールの信号波形



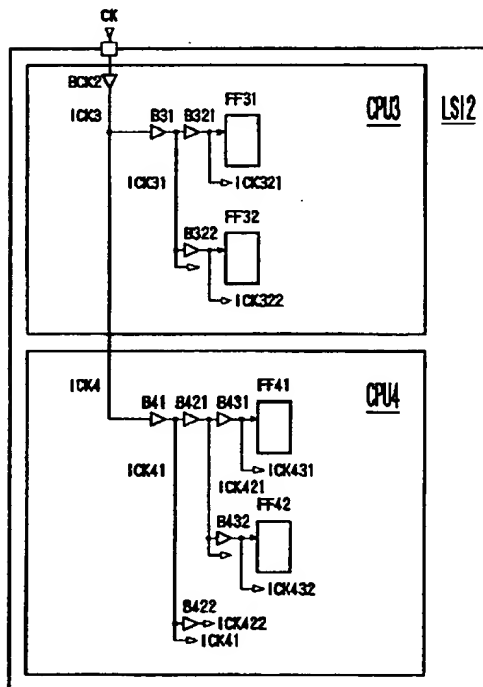
【図1】

図1 大規模論理集積回路装置の基板配置



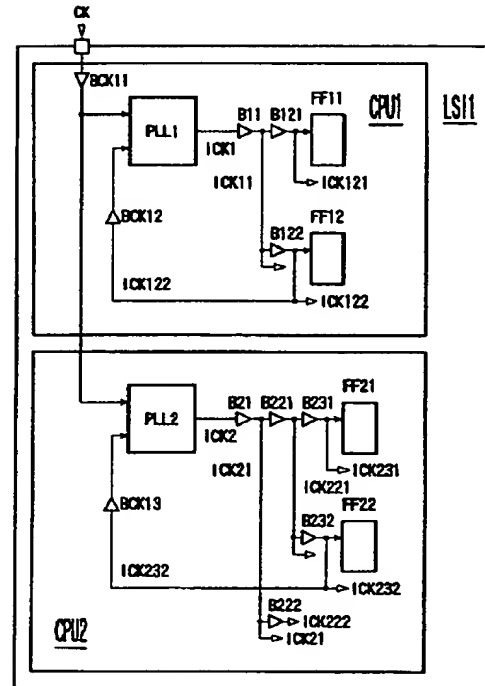
【図4】

図4 CPUモジュールの部分ブロック構成



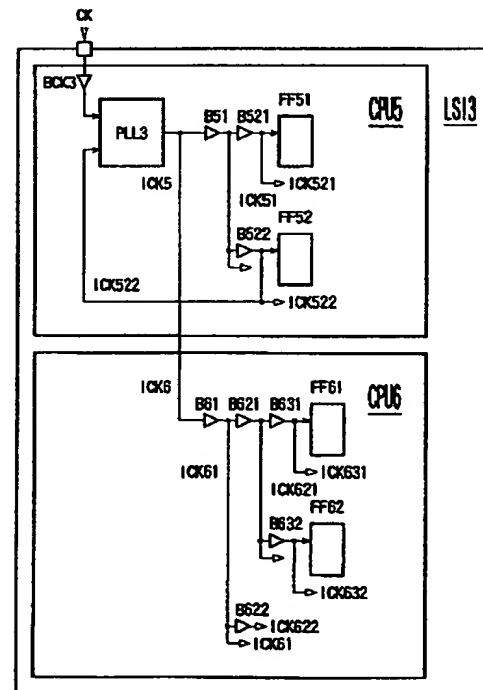
【図2】

図2 CPUモジュールの部分ブロック構成



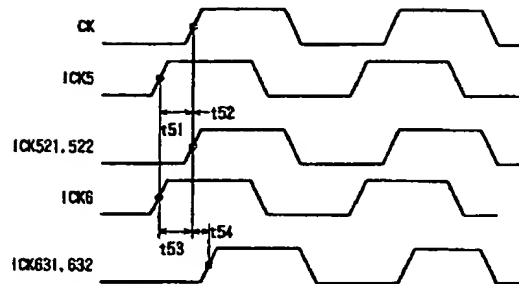
【図5】

図5 CPUモジュールの部分ブロック構成



【図7】

図7 CPUモジュールの信号波形



フロントページの続き

(51) Int. Cl. ⁶

H 0 3 K 5/135

H 0 3 L 7/06

識別記号

F I

H 0 3 L 7/06

A

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.